

Docket No.: 67161-054

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Taichi HIROKAWA, et al. :
Serial No.: : Group Art Unit:
Filed: June 24, 2003 : Examiner:
For: SEMICONDUCTOR DEVICE HAVING CAPACITOR

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

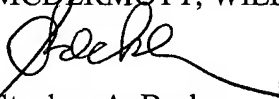
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-308592(P), filed October 23, 2002,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
Date: June 24, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-054
Taichi Hirokawa,
et.al.

June 24, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月23日

出 願 番 号

Application Number:

特願2002-308592

[ST.10/C]:

[JP 2002-308592]

出 願 人

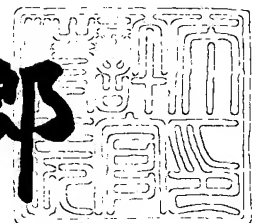
Applicant(s):

三菱電機株式会社

2002年11月29日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3094428

【書類名】 特許願

【整理番号】 539948JP01

【提出日】 平成14年10月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108
H01L 27/10 311

【発明者】

【住所又は居所】 兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダクタシ
ステムエンジニアリング株式会社内

【氏名】 広川 太一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 松村 明

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャパシタを有する半導体装置

【特許請求の範囲】

【請求項 1】 互いに絶縁された 1 対の電極を含むキャパシタを有する半導体装置であって、

第 1 の導電層と、

前記第 1 の導電層上に形成され、前記第 1 の導電層に達する孔を有する絶縁層とを備え、

前記孔は互いに径の異なる第 1 の部分と第 2 の部分とを有し、前記第 1 の部分と前記第 2 の部分との境界において前記孔の径が不連続に変化しており、さらに

前記孔の内壁面に沿って形成され、かつ前記第 1 の導電層に電氣的に接続された前記キャパシタの一方電極を備えた、キャパシタを有する半導体装置。

【請求項 2】 前記絶縁層は、第 1 の絶縁層と、前記第 1 の絶縁層上に形成された第 2 の絶縁層とを有し、

前記孔の前記第 1 の部分は前記第 1 の絶縁層に形成されており、

前記孔の前記第 2 の部分は前記第 2 の絶縁層に形成されており、かつ前記第 1 の部分よりも大きな径を有している、請求項 1 に記載のキャパシタを有する半導体装置。

【請求項 3】 前記第 1 の導電層と前記一方電極との間に位置して、かつ前記第 1 の導電層と前記一方電極との双方に電氣的に接続された第 2 の導電層をさらに備えることを特徴とする、請求項 1 または 2 に記載のキャパシタを有する半導体装置。

【請求項 4】 前記第 1 の導電層は、前記孔に通じる凹部を有しており、前記一方電極は前記凹部の内壁面に沿って形成されていることを特徴とする、請求項 1 または 2 に記載のキャパシタを有する半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、キャパシタを有する半導体装置に関し、より特定的には、互いに絶縁された 1 対の電極を含むキャパシタを有する半導体装置に関する。

【0002】

【従来の技術】

ダイナミック・ランダム・アクセス・メモリ（DRAM）の高集積化は、素子寸法の微細化により達成されてきた。しかし、この高集積化・微細化に伴い SN（Storage Node）も縮小し、キャパシタ容量を維持することが困難になってきた。容量が小さいと読み出しエラーやソフトエラーのような不具合が起こるという問題があった。ここで、読み出しエラーとは S/N（Signal to Noise）比の低下により起こる読み違いのことであり、ソフトエラーとは、放射性同位元素から放出される α 線に起因して不特定な 1 ビットが反転するという現象である。

【0003】

DRAM のメモリセルは、たとえば特開平 8 - 2 8 8 4 7 5 号公報（特許文献 1）の図 1 に示されている。上記公報の図を参照して、半導体単結晶基板にはトランジスタが設けられていて、半導体単結晶基板およびトランジスタを覆うように層間絶縁膜が積層されている。層間絶縁膜には、トランジスタの拡散層に達するコンタクト孔が形成されている。このコンタクト孔を介して、キャパシタ下部電極が拡散層に電氣的に導通されており、このキャパシタ下部電極上にキャパシタ絶縁膜とセルプレートとが積層して形成されている。また、特開平 9 - 3 0 7 0 8 0 号公報（特許文献 2）にも DRAM のメモリセル構成が開示されている。

【0004】

【特許文献 1】

特開平 8 - 2 8 8 4 7 5 号公報

【0005】

【特許文献 2】

特開平 9 - 3 0 7 0 8 0 号公報

【0006】

【発明が解決しようとする課題】

しかしながら、上記 2 つの公報の D R A M のメモリセルの構成では、トランジスタの拡散層とキャパシタ下部電極とが直接接している。キャパシタ容量をできるだけ大きくするために、キャパシタ下部電極はコンタクト孔内でもキャパシタ上部電極と対向して形成されるので、なるべく薄く形成される。しかしキャパシタ下部電極の厚さが薄くなると、コンタクト孔の底部においてキャパシタ下部電極に途切れ（膜切れ）などが生じ、トランジスタの拡散層とキャパシタ下部電極との電氣的な接続が不安定となることがあった。

【 0 0 0 7 】

したがって、トランジスタとキャパシタ下部電極との電氣的な接続を確保するために、トランジスタとキャパシタ下部電極との間に他の導電層が形成されることがある。しかし、この構成によれば、コンタクト孔が他の導電層の分だけ浅くなるので、キャパシタの下部電極と上部電極との対向面積が小さくなりキャパシタ容量が不十分となる。このため、素子の微細化とともにキャパシタ容量を維持することが困難となり、読み出しエラーやソフトエラーのような不具合が起こるという問題があった。

【 0 0 0 8 】

したがって本発明の目的は、キャパシタ下部電極（ストレージノード）の電氣的な接続を安定して確保しつつ、キャパシタ容量を増加させることができるキャパシタを有する半導体装置を提供することである。

【 0 0 0 9 】

【課題を解決するための手段】

本発明のキャパシタを有する半導体装置は、互いに絶縁された 1 対の電極を含むキャパシタを有する半導体装置であって、第 1 の導電層と、第 1 の導電層上に形成され、第 1 の導電層に達する孔を有する絶縁層とを備えている。孔は互いに径の異なる第 1 の部分と第 2 の部分とを有し、第 1 の部分と第 2 の部分との境界において孔の径が不連続に変化している。さらに本発明のキャパシタを有する半導体装置は、孔の内壁面に沿って形成され、かつ第 1 の導電層に電氣的に接続されたキャパシタの一方電極を備えている。

【 0 0 1 0 】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

（実施の形態 1）

図 1（a）は本発明の実施の形態 1 におけるキャパシタを有する半導体装置の構成を概略的に示す断面図である。

【0011】

図 1（a）を参照して、キャパシタを有する半導体装置として、たとえば DRAM メモリセルの構成が示されている。フィールド酸化膜 9 により電気的に分離されたシリコン基板 1 の表面には、MOS（Metal Oxide Semiconductor）トランジスタ 7 が形成されている。

【0012】

この MOS トランジスタ 7 は 1 対のソース／ドレイン領域 7 a、7 b と、ゲート絶縁層 7 c と、ゲート電極層 7 d とを有している。1 対のソース／ドレイン領域 7 a、7 b は、LDD（Lightly Doped Drain）構造を有しており、互いに所定の距離を隔てて配置されている。ゲート電極層 7 d は 1 対のソース／ドレイン領域 7 a、7 b に挟まれる領域上にゲート絶縁層 7 c を介して形成されている。ゲート絶縁層 7 c は、たとえばシリコン酸化膜よりなっている。ゲート電極層 7 d は、たとえば不純物が導入された多結晶シリコン層（以下、ドーフトポリシリコン層と称する）からなっている。

【0013】

ゲート電極層 7 d の周囲はたとえばシリコン酸化膜よりなる絶縁層 7 e、7 f により覆われている。1 対のソース／ドレイン領域の一方 7 a にはパッド層 1 1 が形成されている。MOS トランジスタ 7 およびパッド層 1 1 を覆うように層間絶縁層 2 が形成されている。層間絶縁層 2 は、たとえば BPTEOS（Boro Phospho Tetra Ethyl Ortho Silicate）よりなる。BPTEOS とは TEOS（Tetra Etyle Ortho Silicate）を原料として B（ボロン）、P（リン）を有するように形成されたシリコン酸化膜である。この層間絶縁層 2 には 1 対のソース／ドレイン領域の他方 7 b に達する孔 2 a およびパッド層 1 1 に達する孔 2 b が開口されている。そして、孔 2 a および 2 b の各々には導電層 1 3 および 1 5 の

各々が埋め込まれており、これらの導電層 1 3 および 1 5 の各々はたとえばドーフトポリシリコン層よりなっている。層間絶縁層 2 上にはビット線 1 7 が形成されていて、ビット線 1 7 は導電層 1 5 およびパッド層 1 1 を介して MOS トランジスタ 7 の 1 対のソース／ドレインの一方 7 a と電氣的に接続されている。

【 0 0 1 4 】

層間絶縁層 2 およびビット線 1 7 上には、たとえば B P T E O S よりなる層間絶縁層 3 と、たとえば $S i_3 N_4$ よりなる層間絶縁層 4 と、たとえば B P T E O S よりなる層間絶縁層 5 とが積層されている。これらの層間絶縁層 3 ～ 5 には、導電層 1 3 に達する孔が形成されている。この孔は、層間絶縁層 3 に形成された部分 3 a と、層間絶縁層 4 に形成された部分 4 a と、層間絶縁層 5 に形成された部分 5 a とを有している。孔 3 a、4 a、5 a のうち、孔の部分 4 a、5 a と孔の部分 3 a とは互いに径が異なり、孔の部分 4 a、5 a は孔の部分 3 a よりも大きな径を有していて、孔の部分 3 a と孔の部分 4 a、5 a との境界において孔の径が不連続に変化している。孔の部分 3 a の側壁面はたとえば $S i_3 N_4$ よりなる絶縁層 3 b で覆われている。

【 0 0 1 5 】

キャパシタ 1 9 は、キャパシタ誘電体層 1 9 b により互いに絶縁された 1 対の電極であるストレージノード 1 9 a （キャパシタの一方電極）とセルプレート 1 9 c （キャパシタの他方電極）とを含んでいる。キャパシタ 1 9 の一方電極であるストレージノード 1 9 a は、孔 3 a、4 a、5 a の内壁面に沿って形成されていて、導電層 1 3 に電氣的に接続されている。ストレージノード 1 9 a 上には、キャパシタ誘電体層 1 9 b と、セルプレート 1 9 c とが積層されている。ストレージノード 1 9 a はたとえば不純物が導入されたアモルファスシリコン（以下、ドーフトアモルファスシリコンと称する）よりなる。キャパシタ誘電体層 1 9 b はたとえば $T a_2 O_5$ よりなる。セルプレート 1 9 c はたとえば T i N よりなる。

【 0 0 1 6 】

次に本実施の形態の製造方法について説明する。

なお、本実施の形態においては、図 1 （ a ）の点線で囲まれた領域 3 0 についての製造方法の説明を行なう。

【 0 0 1 7 】

図 2 ～ 図 8 は本発明の実施の形態 1 におけるキャパシタの製造方法を工程順に示す概略断面図である。

【 0 0 1 8 】

図 2 を参照して、シリコン基板 1 の表面には MOS トランジスタ 7 が以下のよう
に形成される。すなわち、シリコン基板 1 の表面には、たとえばシリコン酸化
膜よりなるゲート絶縁層 7 c が形成され、このゲート絶縁層 7 c 上にゲート電極
層 7 d および絶縁層 7 f が形成された後、通常の写真製版技術およびエッチング
技術によりパターニングされる。ゲート電極層 7 d などをもマスクとしてシリコン
基板 1 へ不純物が注入されることにより、比較的低濃度の不純物領域 7 b が形成
される。

【 0 0 1 9 】

ゲート電極層 7 d の側壁を覆うように、たとえばシリコン酸化膜よりなるサイ
ドウォールスペーサー状の絶縁層 7 e が形成される。この後、ゲート電極層 7 d
および絶縁層 7 e などをもマスクとしてシリコン基板 1 上に不純物を注入すること
により、比較的高濃度の不純物領域 7 b が形成される。この比較的高濃度の不純
物領域と前述の比較的低濃度の不純物領域とにより、LDD 構造をなすソース/
ドレイン領域 7 a、7 b が形成される。以上のようにして MOS トランジスタ 7
が形成される。

【 0 0 2 0 】

このようにして形成された MOS トランジスタ 7 を覆うように、たとえば B P
T E O S よりなる層間絶縁層 2 が形成される。そして層間絶縁層 2 に通常の写真
製版技術およびエッチング技術により孔 2 a が開口され、開口された孔 2 a を埋
め込むように層間絶縁層 2 上にたとえばドーフトポリシリコンなどの導電体 1 3
が堆積される。

【 0 0 2 1 】

図 3 を参照して、化学機械研磨やエッチングにより層間絶縁層 2 上の導電体 1
3 が除去され、孔 2 a 内にのみ導電層 1 3 が残存される。

【 0 0 2 2 】

図 4 を参照して、層間絶縁層 2 および導電層 1 3 上にたとえば B P T E O S よりなる層間絶縁層 3 が積層され、通常の写真製版技術およびエッチング技術により、層間絶縁層 3 に導電層 1 3 に達する孔 3 a が形成される。これにより導電層 1 3 に達する孔 3 a を有する層間絶縁層 3 が導電層 1 3 上に形成される。そしてたとえば Si_3N_4 よりなる絶縁層 3 b が孔 3 a の底面および側面と、層間絶縁層 3 の上面とに堆積される。

【 0 0 2 3 】

図 5 を参照して、絶縁層 3 b に異方性エッチングが施され、それにより孔 3 a の底面および層間絶縁層 3 上の絶縁層 3 b が除去され、層間絶縁層 3 の上面と導電層 1 3 の上面が露出され、孔 3 a の側面の絶縁層 3 b のみが残存する。そして層間絶縁層 3 と、孔 3 a の側面を覆う絶縁層 3 b と、導電層 1 3 との上に、たとえばドーフトポリシリコンよりなる導電体が堆積され、化学機械研磨、エッチングなどにより層間絶縁層 3 の上面が露出するまで導電体が除去される。これにより孔 3 a 内を埋め込む埋込み層 2 1 が形成される。

【 0 0 2 4 】

図 6 を参照して、層間絶縁層 3 および埋込み層 2 1 上に、たとえば Si_3N_4 よりなる層間絶縁層 4 およびたとえば B P T E O S よりなる層間絶縁層 5 が積層される。通常の写真製版技術およびエッチング技術により、これらの層間絶縁層 4、5 に、孔 3 a に通じ、かつ孔 3 a よりも径の大きい孔 4 a、5 a が形成される。これにより、埋込み層 2 1 の上面が露出する。

【 0 0 2 5 】

図 7 (a) を参照して、露出した埋込み層 2 1 の導電体がエッチングなどにより除去される。ここで、埋込み層 2 1 が導電体で形成されている本実施の形態では、埋込み層 2 1 の導電体が完全に除去される必要はない。埋込み層 2 1 の導電体が完全に除去されず一部残った場合の構成を図 7 (b) に示す。

【 0 0 2 6 】

図 8 を参照して、孔 3 a、4 a、5 a の内壁面および層間絶縁層 5 上に沿うように、たとえばドーフトアモルファスシリコンよりなるストレージノード（キャパシタの一方電極）用の導電層 1 9 a が堆積される。導電層 1 9 a は導電層 1 3

を介してMOSトランジスタ7のソース／ドレインの他方7bと電氣的に接続される。この導電層19aが通常の写真製版技術およびエッチング技術によりパターンニングされて、ドーフトアモルファスシリコンよりなるストレージノード19aが形成される。孔4aおよび5aは、孔3aよりも径が大きく、孔3aと、孔4a、5aとの境界において孔の径が不連続に変化しているので、ストレージノード19aはその境界部において段差形状となっている。また、ドーフトアモルファスシリコンが堆積されれば、粗面化処理を施すことによりストレージノード19aは粗面となる。

【0027】

図1(a)を参照して、その後、ストレージノード19a上にたとえば Ta_2O_5 よりなるキャパシタ誘電体層19bとたとえばTiNよりなるセルプレート19cとが積層されて、キャパシタ19が形成される。ここで、図7(a)の工程において、図7(b)のように、埋込み層21の導電体が完全に除去されず一部残った場合には、半導体装置は図1(b)のような構成となる。以上の工程により、キャパシタを有する半導体装置が完成する。

【0028】

なお、本実施の形態において、層間絶縁層2～5およびキャパシタ誘電体層19bの各々については、他の材質の絶縁体で構成されてもよい。また、導電層13および埋込み層21の各々は、他の材質の導電体で構成されてもよい。さらに、一方電極19aとしてはドーフトアモルファスシリコンが用いられたが、他の材質の導電体でもよい。

【0029】

また、孔4aおよび5aは、孔3aよりも径が大きい場合について示したが、孔4aおよび5aの径と、孔3aの径とが不連続であればよい。

【0030】

本実施の形態のキャパシタを有する半導体装置およびその製造方法においては、埋込み層21が除去され、この部分にもストレージノード19aとセルプレート19cとが形成されている。よって除去された埋込み層21の分だけキャパシタの対向面積が増加する。

【 0 0 3 1 】

また、ストレージノード 1 9 a とソース／ドレイン領域 7 b との間には導電層 1 3 が設けられている。このため、ストレージノード 1 9 a に膜切れなどが生じても、ストレージノード 1 9 a とソース／ドレイン領域 7 b との電氣的な接続が安定して確保される。

【 0 0 3 2 】

さらに、導電層 1 3 に達する孔のうち、孔の部分 3 a と孔の部分 4 a、5 a とは別工程で形成されるので、孔の第 1 の部分の径と第 2 の部分の径が不連続に変化するように形成することが可能である。孔の部分 3 a の径と孔の部分 4 a、5 a の径が不連続に変化するように形成されれば、孔の部分 3 a と孔の部分 4 a、5 a との境目に段差ができる。このため、孔の内壁に沿って形成されるストレージノード 1 9 a にも段差が生じ、ストレージノード 1 9 a とセルプレート 1 9 c との対向面積がその段差の分だけ増加する。また、ストレージノード 1 9 a がドーパトアモルファスシリコンによって形成されれば、粗面化処理を施すことによってストレージノード 1 9 a は粗面化されるので対向面積が増加する。以上のことからキャパシタ容量が増加する。

【 0 0 3 3 】

また、本実施の形態におけるキャパシタを有する半導体装置においては、孔 3 a、4 a、5 a が形成される絶縁層は単一層の層間絶縁層よりなっているとしてもよく、図 1 などに示したように、たとえば 3 層の層間絶縁層 3 ～ 5 よりなっているとしてもよい。孔 3 a、4 a、5 a が形成される絶縁層を層間絶縁層 3 ～ 5 により形成する場合、孔 3 a、4 a、5 a の径の小さな部分 3 a を層間絶縁層 3 に形成し、径の大きな孔の部分 4 a、5 a を層間絶縁層 4、5 に形成することが好ましい。

【 0 0 3 4 】

これにより、孔の部分 3 a と孔の部分 4 a、5 a との境目で容易に段差を作成することが可能である。したがって、容易にキャパシタ容量が増加する。なお、孔の部分 4 a、5 a が形成される層間絶縁層 4、5 は単一層の層間絶縁層よりなっており、孔の部分 3 a が形成される層間絶縁層 3 と異なる層よりなっているとしてもよい。

【 0 0 3 5 】

また、孔の部分 3 a よりも孔の部分 4 a、5 a の径を大きくすることで、孔の上部の開口が大きくなるので、アスペクト比が大きくなり、これによりキャパシタのストレージノード 1 9 a が形成される際の被覆性が良好となる。

【 0 0 3 6 】

さらに、本実施の形態におけるキャパシタを有する半導体装置の製造方法において好ましくは、埋込み層は導電体で形成されている。これにより、他のプラグ層などの導電層と同時に埋込み層を形成することが可能となり、製造工程の増加を抑えることができる。

【 0 0 3 7 】

本実施の形態におけるキャパシタを有する半導体装置において好ましくは、導電層 1 3 とストレージノード 1 9 a との間に位置して、かつ導電層 1 3 とストレージノード 1 9 a との双方に電氣的に接続された埋込み層 2 1 をさらに備える。

【 0 0 3 8 】

これにより、埋込み層 2 1 が除去される工程において、図 7 (b) のように埋込み層 2 1 が完全に除去されなくとも、その後の工程で形成されるストレージノード 1 9 a と残った埋込み層 2 1 とが図 1 (b) のように電氣的に接続されるので、導電層 1 3 とストレージノード 1 9 a との電氣的な接続に影響はない。したがって、埋込み層 2 1 のエッチング制御が容易となる。

(実施の形態 2)

図 9 は、本発明の実施の形態 2 におけるキャパシタを有する半導体装置の構成を概略的に示す断面図である。

【 0 0 3 9 】

図 9 を参照して、本実施の形態の構成は、実施の形態 1 の構造と比較して以下の点において異なる。すなわち、導電層 1 3 が孔 3 a、4 a、5 a に通じる凹部 1 3 a を有しており、その凹部 1 3 a の内壁面に沿ってストレージノード 1 9 a が形成されており、その凹部 1 3 a 内でストレージノード 1 9 a とセルプレート 1 9 c とが互いに対向している。

【 0 0 4 0 】

なお、これ以外の構成については、上述した実施の形態 1 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0041】

次に本実施の形態の製造方法について説明する。

なお、本実施の形態においては、図 9 の点線で囲まれた領域 30 についての製造方法の説明を行なう。

【0042】

本実施の形態の製造方法は、まず図 2 ～図 6 に示す実施の形態 1 の製造工程と同様の製造工程を経る。よってその説明を省略する。

【0043】

この後、図 6 を参照して、導電体よりなる埋込み層 21 および導電層 13 がエッチングにより除去される。これにより、図 10 に示すように導電層 13 に孔 3a、4a、5aに通じるに凹部 13a が形成される。本実施の形態において最も注目すべきは、埋込み層 21 に加え、さらに導電層 13 までもが除去される点である。

【0044】

ここで、埋込み層 21 の導電体および導電層 13 が、たとえばドーフトポリシリコンなどの同一の導電体でともに形成されていれば、エッチング時間を実施の形態 1 の場合よりも長くすることで、埋込み層 21 とともに導電層 13 とがエッチング可能である。一方エッチング時間が長すぎると、導電層 13 の下部の導電層が残らず、MOS トランジスタ 7 のソース／ドレインの他方 7b が露出してしまふ。そうすると、この上に形成されるストレージノード 19a (図 9) が断線した場合に、ストレージノード 19a と MOS トランジスタ 7 のソース／ドレインの他方 7b との電気的な接続が確保されず、好ましくない。したがって、導電層 13 がエッチングされ、かつ MOS トランジスタ 7 のソース／ドレインの他方 7b が露出しないエッチング時間が選択される。これにより、導電層 13 は孔 3a、4a、5aに通じる凹部 13a を有する。

【0045】

図 11 を参照して、孔 3a、4a、5a の内壁と導電層 13 の凹部 13a の内

壁と層間絶縁層 5 上とに沿うように、たとえばドーフトアモルファスシリコンよりなるストレージノード 1 9 a が堆積される。これにより、ストレージノード 1 9 a は導電層 1 3 の底部を介して M O S トランジスタ 7 のソース／ドレインの他方 7 b と電氣的に接続される。

【 0 0 4 6 】

この際、孔 4 a および 5 a は、孔 3 a よりも径が大きく、孔 3 a と、孔 4 a および 5 a との境界において孔の径が不連続に変化しているので、ストレージノード 1 9 a は孔 3 a の上部で段差形状となっている。また、ストレージノード 1 9 a としてドーフトアモルファスシリコンを堆積し、粗面化処理を施すことにより、ストレージノード 1 9 a は粗面となる。

【 0 0 4 7 】

図 9 を参照して、その後、ストレージノード 1 9 a 上にたとえば Ta_2O_5 よりなるキャパシタ誘電体層 1 9 b とたとえば TiN よりなるセルプレート 1 9 c とが積層されて、キャパシタ 1 9 が形成される。以上の工程により、キャパシタを有する半導体装置が完成する。

【 0 0 4 8 】

なお、本実施の形態において、層間絶縁層 2 ～ 5 およびキャパシタ誘電体層 1 9 b については、他の材質の絶縁体で構成されてもよい。また、導電層 1 3 および埋込み層 2 1 の各々は、他の導電体で構成されてもよい。さらに、一方電極 1 9 a としてはドーフトアモルファスシリコンが用いられたが、他の材質の導電体でもよい。

【 0 0 4 9 】

また、孔 4 a および 5 a は、孔 3 a よりも径が大きい場合について示したが、孔 4 a および 5 a の径と、孔 3 a の径とが不連続であればよい。

【 0 0 5 0 】

本実施の形態におけるキャパシタを有する半導体装置によれば、実施の形態 1 の効果に加えて、さらに以下の効果を有する。

【 0 0 5 1 】

導電層 1 3 に凹部 1 3 a が形成され、この凹部 1 3 a 内にもキャパシタのスト

レンジノード 1 9 a とセルプレート 1 9 c とが対向する。したがって、キャパシタの対向面積が凹部 1 3 a の分だけさらに増大され、キャパシタ容量が増加する。一方凹部 1 3 a の底部には導電層 1 3 が残っているので、ストレージノード 1 9 a とソース／ドレイン領域 7 b との電氣的な接続を安定して確保することができる。

(実施の形態 3)

図 1 2 は本発明の実施の形態 3 におけるキャパシタを有する半導体装置の構成を概略的に示す断面図である。

【 0 0 5 2 】

実施の形態 1 では、図 1 に示すように孔の部分 3 a の側壁は絶縁層 3 b で覆われているが、本実施の形態においては、図 1 2 に示すようにそのような絶縁層 3 b が設けられていない。

【 0 0 5 3 】

なお、これ以外の構成については、上述した実施の形態 1 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【 0 0 5 4 】

次に本実施の形態の製造方法について説明する。

なお、本実施の形態においては、図 1 2 の点線で囲まれた領域 3 0 についてのみ製造方法の説明を行なう。

【 0 0 5 5 】

本実施の形態の製造方法は、まず図 2、図 3 に示す実施の形態 1 の製造工程と同様の製造工程を経る。よってその説明を省略する。

【 0 0 5 6 】

その後、図 1 3 を参照して、層間絶縁層 2 および導電層 1 3 上にたとえば B P T E O S よりなる層間絶縁層 3 が積層され、通常の写真製版技術およびエッチング技術により、導電層 1 3 に達する孔 3 a が形成される。これにより導電層 1 3 に達する孔 3 a を有する層間絶縁層 3 が形成される。本実施の形態において特に注目すべきは、たとえば Si_3N_4 よりなる絶縁体が、孔 3 a を埋めるように層間絶縁層 3 および導電層 1 3 の上に堆積される。そして、化学機械研磨、エッチン

グなどにより層間絶縁層 3 上の絶縁体が除去される。これにより孔 3 a 内を埋め込む埋込み層 2 1 が形成される。

【 0 0 5 7 】

図 1 4 を参照して、層間絶縁層 3 および埋込み層 2 1 上に、たとえば Si_3N_4 よりなる層間絶縁層 4 およびたとえば B P T E O S よりなる層間絶縁層 5 が積層され、通常の写真製版技術およびエッチング技術により、層間絶縁層 4 を露出するように孔 5 a が形成される。

【 0 0 5 8 】

図 1 5 を参照して、通常の写真製版技術およびエッチング技術により、孔 5 a によって露出した層間絶縁層 4 に孔 4 a が開口され、孔 3 a に埋め込まれた埋込み層 2 1 の絶縁体がエッチングなどにより除去される。本実施の形態においては、層間絶縁層 4 と埋込み層 2 1 とがともに絶縁体より構成されているので、一の除去工程で孔 4 a の開口および埋込み層 2 1 の除去がなされる。

【 0 0 5 9 】

そして、孔 3 a、4 a、5 a の内壁面および層間絶縁層 5 上に沿うように、たとえばドーフトアモルファスシリコンよりなるストレージノード 1 9 a が堆積される。これによりストレージノード 1 9 a は導電層 1 3 を介して M O S トランジスタ 7 のソース／ドレインの他方 7 b と電氣的に接続される。

【 0 0 6 0 】

この際、孔 4 a および 5 a は、孔 3 a よりも径が大きく、孔 3 a と、孔 4 a、5 a との境界において孔の径が不連続に変化しているので、ストレージノード 1 9 a は孔 3 a の上部で段差形状となっている。また、ストレージノード 1 9 a としてドーフトアモルファスシリコンを堆積し、粗面化処理を施すことにより、ストレージノード 1 9 a は粗面となる。

【 0 0 6 1 】

図 1 2 を参照して、その後、ストレージノード 1 9 a 上にたとえば Ta_2O_5 よりなるキャパシタ誘電体層 1 9 b とたとえば TiN よりなるセルプレート 1 9 c とが積層されて、キャパシタ 1 9 が形成される。以上の工程により、キャパシタを有する半導体装置が完成する。

【 0 0 6 2 】

なお、本実施の形態において、埋込み層 2 1、層間絶縁層 2 ～ 5、キャパシタ誘電体層 1 9 b については、他の材質の絶縁体で構成されてもよい。また、導電層 1 3 は、他の材質の導電体で構成されてもよい。さらに、一方電極 1 9 a としてはドーフトアモルファスシリコンが用いられたが、他の材質の導電体でもよい。

【 0 0 6 3 】

また、孔 4 a および 5 a は、孔 3 a よりも径が大きい場合について示したが、孔 4 a および 5 a の径と、孔 3 a の径とが不連続であればよい。

【 0 0 6 4 】

本発明におけるキャパシタを有する半導体装置の製造方法においては、埋込み層は絶縁層で形成されている。これにより、第 2 の絶縁層（層間絶縁層 4）と第 1 の孔（孔 3 a）を埋め込む埋込み層とがともに絶縁体よりなるので、第 2 の孔（孔 4 a）を有する第 2 の絶縁層の形成工程および埋込み層の除去工程が一の除去工程でなされる。

【 0 0 6 5 】

以上に開示された実施の形態はすべての点で例示であって制限的なものではないと考慮されるべきである。本発明の範囲は、以上の実施の形態ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての修正や変形を含むものと意図される。

【 0 0 6 6 】

【発明の効果】

以上のように、本発明のキャパシタを有する半導体装置においては、従来キャパシタの一方電極の下に形成されていた導電層の一部が除去され、この部分にもキャパシタの一方電極が形成されている。よって除去された導電層の分だけキャパシタの一方電極の対向面積が増加する。また、キャパシタの一方電極と他の構成との電氣的な接続は、第 1 の導電層により確保される。さらに、第 1 の導電層に達する孔のうち、第 1 の部分と第 2 の部分とは別工程で作成されるので、孔の第 1 の部分の径と第 2 の部分の径が不連続に変化するように作成可能である。孔

の第 1 の部分の径と第 2 の部分の径が不連続に変化するように作成されれば、孔の第 1 の部分と第 2 の部分との境目に段差ができる。このため、孔の内壁に沿って形成されるキャパシタの一方電極の対向面積が段差の分だけ増加する。また、キャパシタの一方電極がドーフトアモルファスシリコンによって形成されれば、キャパシタの一方電極は粗面化されるので対向面積が増加する。以上のことからキャパシタ容量が増加する。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 におけるキャパシタを有する半導体装置の D R A M メモリセルの構成を概略的に示す断面図である。

【図 2】 本発明の実施の形態 1 におけるキャパシタを有する半導体装置のキャパシタの製造方法の第 1 工程を示す概略断面図である。

【図 3】 本発明の実施の形態 1 におけるキャパシタを有する半導体装置のキャパシタの製造方法の第 2 工程を示す概略断面図である。

【図 4】 本発明の実施の形態 1 におけるキャパシタを有する半導体装置のキャパシタの製造方法の第 3 工程を示す概略断面図である。

【図 5】 本発明の実施の形態 1 におけるキャパシタを有する半導体装置のキャパシタの製造方法の第 4 工程を示す概略断面図である。

【図 6】 本発明の実施の形態 1 におけるキャパシタを有する半導体装置のキャパシタの製造方法の第 5 工程を示す概略断面図である。

【図 7】 本発明の実施の形態 1 におけるキャパシタを有する半導体装置のキャパシタの製造方法の第 6 工程を示す概略断面図である。

【図 8】 本発明の実施の形態 1 におけるキャパシタを有する半導体装置のキャパシタの製造方法の第 7 工程を示す概略断面図である。

【図 9】 本発明の実施の形態 2 におけるキャパシタを有する半導体装置の D R A M メモリセルの構成を概略的に示す断面図である。

【図 1 0】 本発明の実施の形態 2 におけるキャパシタを有する半導体装置のキャパシタの製造方法の第 6 工程を示す概略断面図である。

【図 1 1】 本発明の実施の形態 2 におけるキャパシタを有する半導体装置のキャパシタの製造方法の第 7 工程を示す概略断面図である。

【図 1 2】 本発明の実施の形態 3 におけるキャパシタを有する半導体装置の DRAM メモリセルの構成を概略的に示す断面図である。

【図 1 3】 本発明の実施の形態 3 におけるキャパシタを有する半導体装置のキャパシタの製造方法の第 3 工程を示す概略断面図である。

【図 1 4】 本発明の実施の形態 3 におけるキャパシタを有する半導体装置のキャパシタの製造方法の第 4 工程を示す概略断面図である。

【図 1 5】 本発明の実施の形態 3 におけるキャパシタを有する半導体装置のキャパシタの製造方法の第 5 工程を示す概略断面図である。

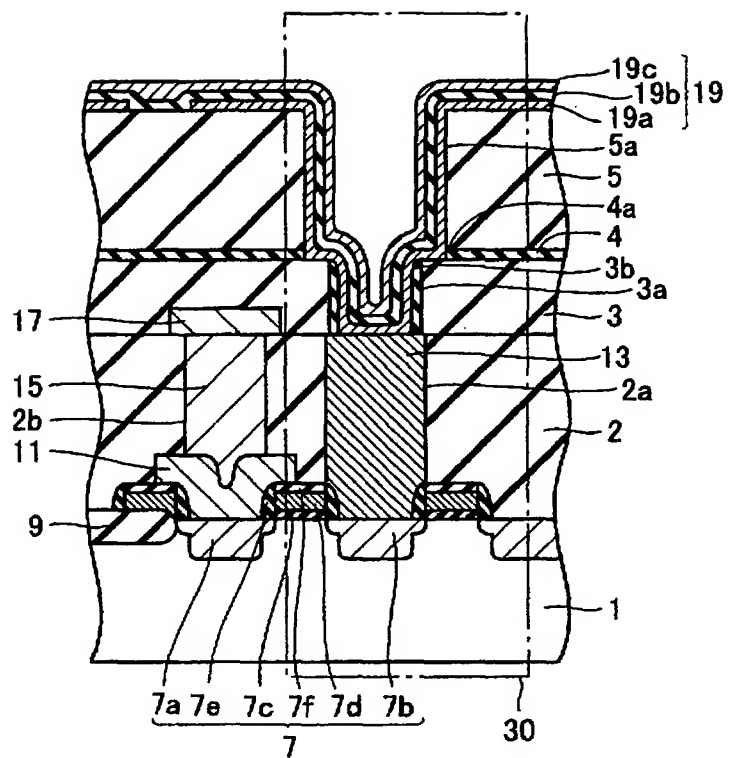
【符号の説明】

1 シリコン基板、2～5 層間絶縁層、2 a, 2 b, 3 a, 4 a, 5 a 孔、3 b, 7 e, 7 f 絶縁層、7 MOS トランジスタ、7 a, 7 b ソース／ドレイン領域、7 c ゲート絶縁層、7 d ゲート電極層、9 フィールド酸化膜、11 パッド層、13, 15 導電層、13 a 凹部、17 ビット線、19 キャパシタ、19 a ストレージノード、19 b キャパシタ誘電体層、19 c セルプレート、21 埋込み層、30 キャパシタ周辺領域。

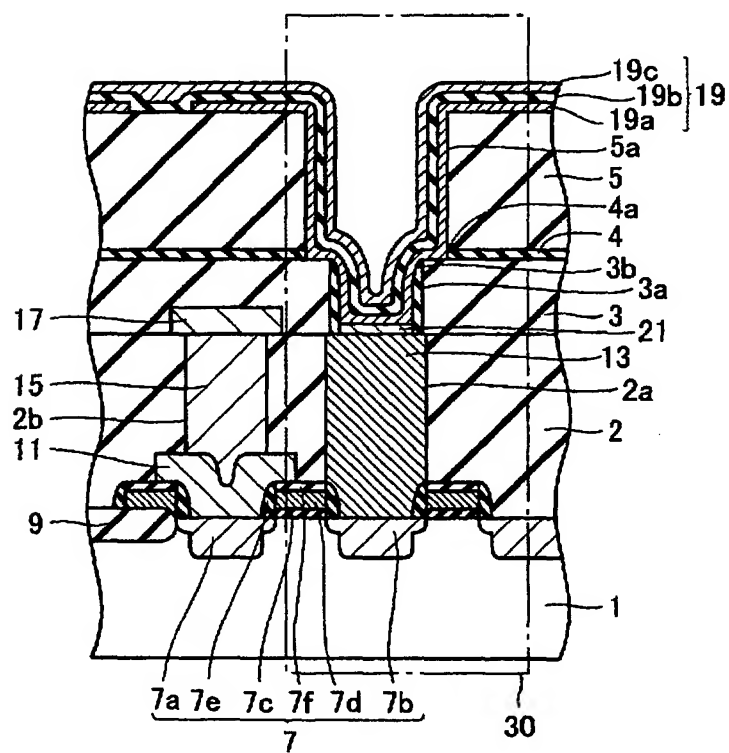
【書類名】 図面

【図 1】

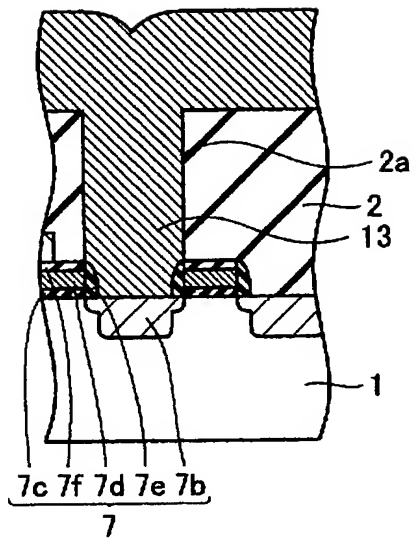
(a)



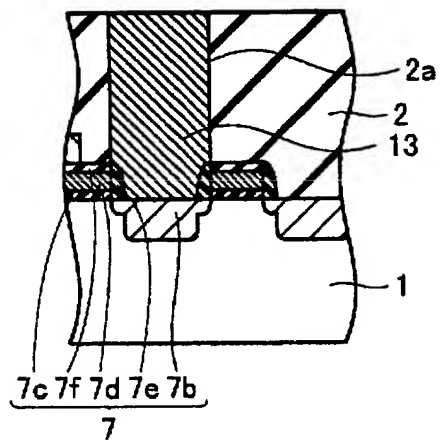
(b)



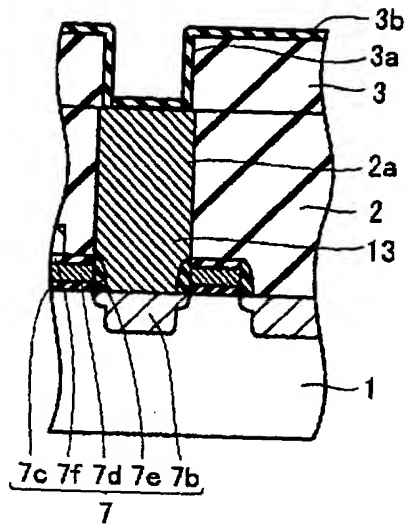
【図 2】



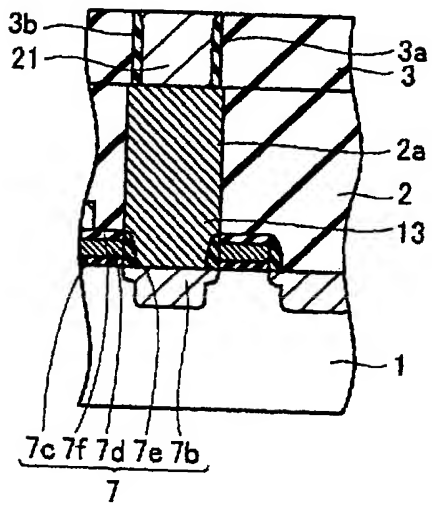
【図 3】



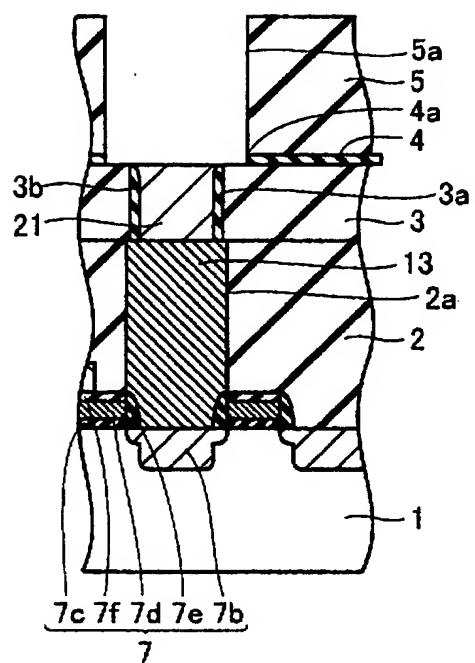
【 図 4 】



【 図 5 】

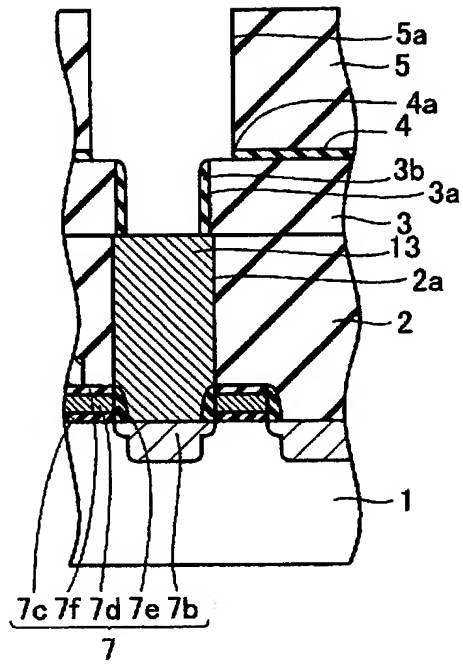


【図 6】

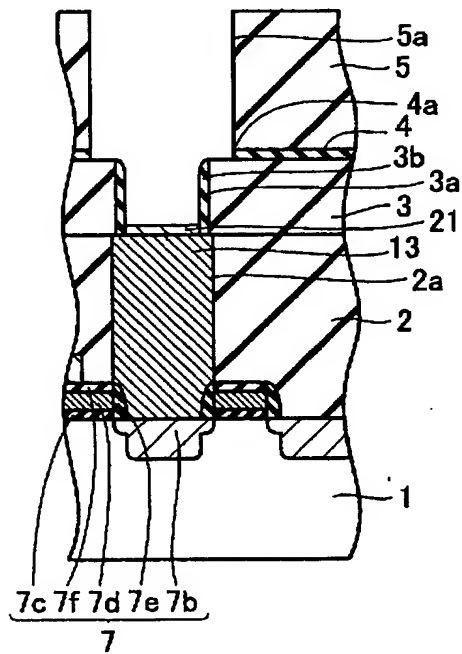


【図 7】

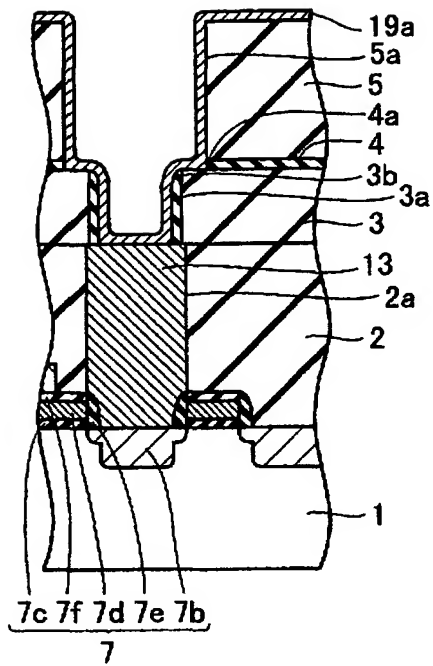
(a)



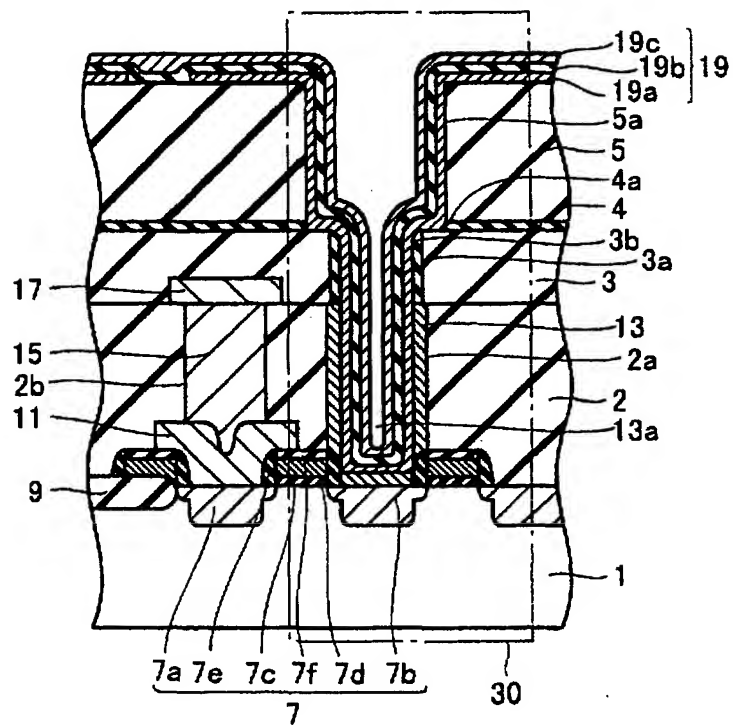
(b)



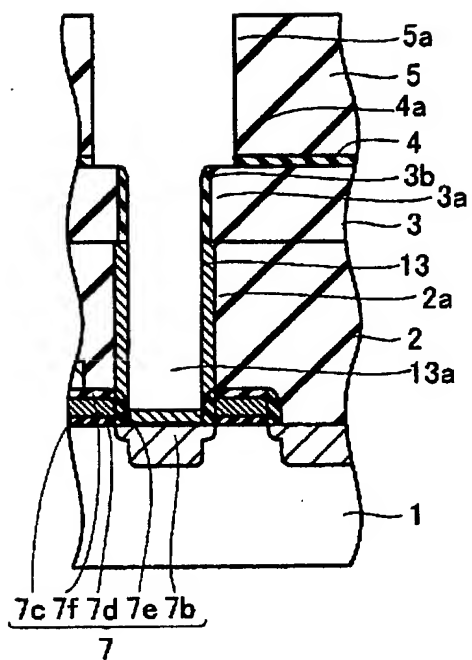
【図 8】



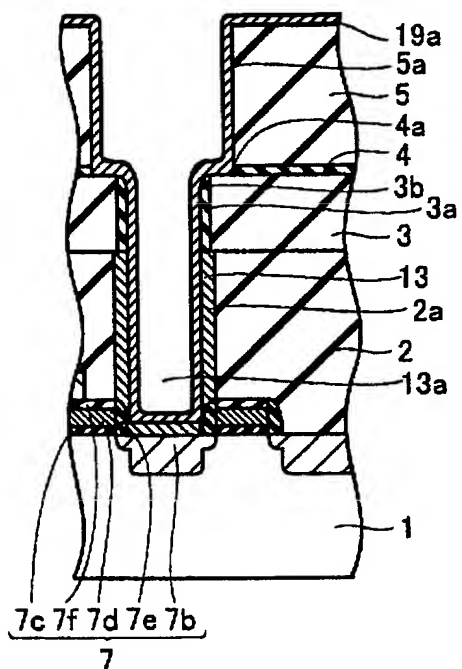
【図 9】



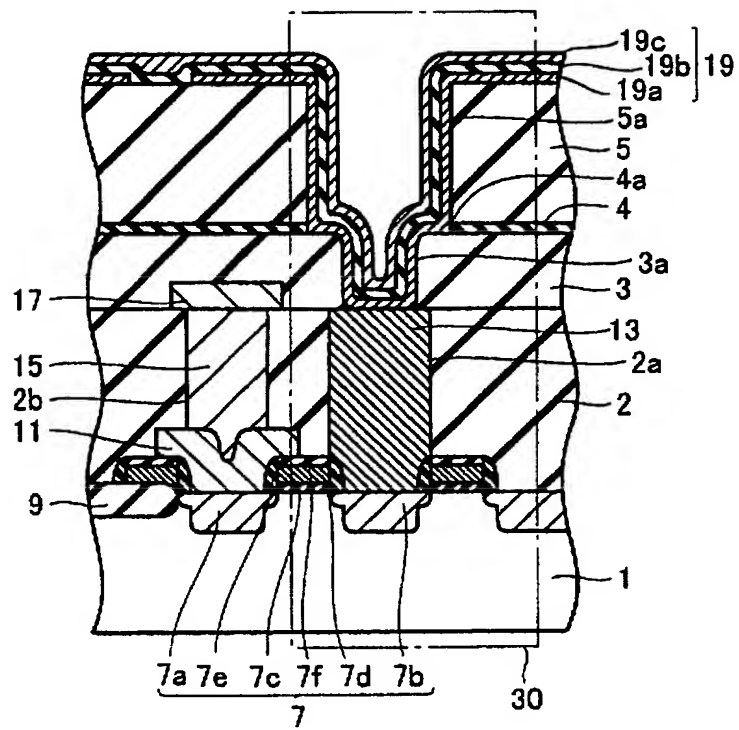
【図 1 0】



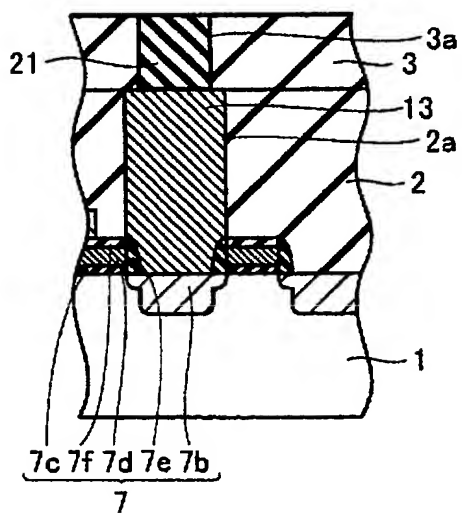
【図 1 1】



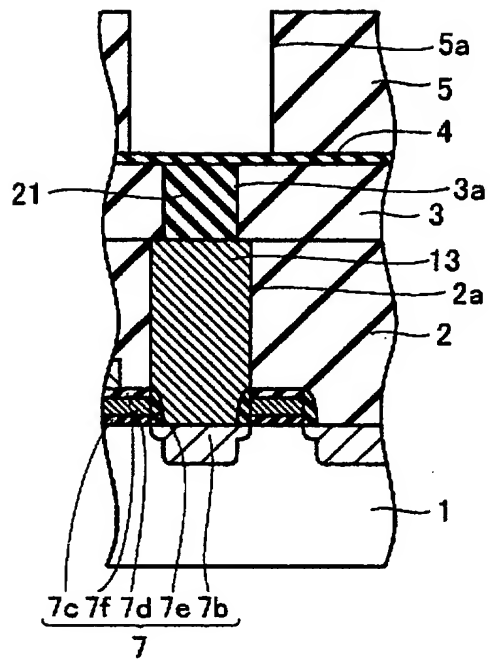
【図 1 2】



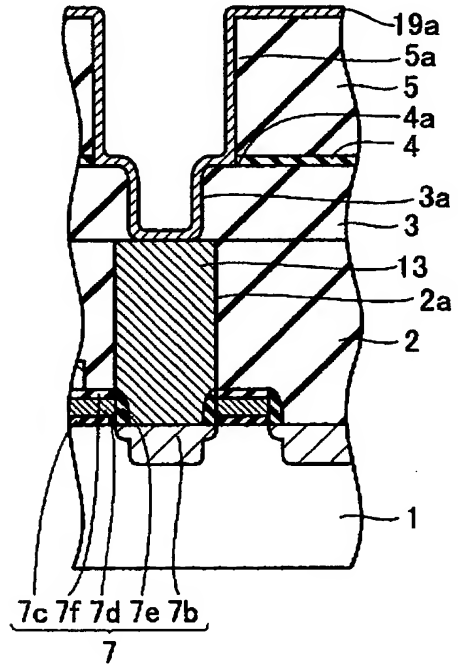
【図 1 3】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 キャパシタを有する半導体装置に関し、キャパシタ下部電極の電気的な接続を安定して確保しつつ、キャパシタ容量を増加させる。

【解決手段】 本発明のキャパシタを有する半導体装置は、キャパシタ誘電体層 1 9 b により互いに絶縁された 1 対の電極であるストレージノード 1 9 a とセルプレート 1 9 c とを含むキャパシタ 1 9 を有していて、第 1 コンタクト 1 3 と、第 1 コンタクト 1 3 上に形成され、第 1 コンタクト 1 3 に達する孔 3 a、4 a、5 a を有する層間絶縁層 3 ～ 5 とを備えている。孔 3 a と孔 4 a、5 a とは互いに径が異なり、孔 3 a と孔 4 a、5 a との境界において径が不連続に変化している。さらに、ストレージノード 1 9 a は、孔 3 a、4 a、5 a の内壁面に沿って形成され、かつ第 1 コンタクト 1 3 に電気的に接続されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名 三菱電機株式会社